

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Januar 2005 (13.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/003960 A3

(51) Internationale Patentklassifikation⁷: **G06F 12/02**,
9/44, 9/30

(21) Internationales Aktenzeichen: PCT/EP2004/007175

(22) Internationales Anmeldedatum:
1. Juli 2004 (01.07.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 29 680.8 1. Juli 2003 (01.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): UNIVERSITÄT STUTTGART [DE/DE]; Kepler-
str. 7, 70174 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): MEYER, Matthias
[DE/DE]; Hoferstr. 34, 71636 Ludwigsburg (DE).

(74) Anwalt: GAGEL, Roland; Landsberger Str. 480a, 81241
München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,

CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,
RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

(88) Veröffentlichungsdatum des internationalen
Recherchenberichts: 29. September 2005

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: PROCESSOR ARCHITECTURE FOR EXACT INDEX IDENTIFICATION

(54) Bezeichnung: PROZESSORARCHITEKTUR FÜR EXAKTE ZEIGERIDENTIFIZIERUNG

(57) Abstract: The invention relates to an object-based processor architecture, which permits an exact index identification such that index and data are completely separated from each other in the memory and in the processor registers. Access to the memory is achieved solely by means of indices which refer to objects. An object comprises separate regions for index and data and an attribute field for description of the length of both regions. Both the indices in the index registers and the indices in the index regions directly comprise the address of the objects to which said indices refer. The inventive processor architecture permits the integration of an automatic memory clean-up which can be partly or totally implemented in hardware. A real-time memory clean-up can be carried out particularly efficiently by means of hardware implementation.

(57) Zusammenfassung: Die vorliegende Erfindung betrifft eine objektbasierte Prozessorarchitektur, die eine exakte Zeigeridentifizierung dadurch ermöglicht, dass Zeiger und Daten im Speicher und in den Prozessorregistern streng voneinander getrennt werden. Der Zugriff auf den Speicher erfolgt ausschließlich über Zeiger, die auf Objekte verweisen. Ein Objekt beinhaltet getrennte Bereiche für Zeiger und Daten sowie ein Attributfeld zur Beschreibung der Länge der beiden Bereiche. Sowohl die Zeiger in den Zeigerregistern als auch die Zeiger in den Zeigerbereichen der Objekte enthalten direkt die Adresse der Objekte, auf die sie verweisen. Die vorgeschlagene Prozessorarchitektur ermöglicht die Integration einer automatischen Speicherbereinigung, die ganz oder teilweise in Hardware implementiert werden kann. Durch die Hardware-Unterstützung kann eine echtzeitfähige Speicherbereinigung auf besonders effiziente Weise realisiert werden.

WO 2005/003960 A3